

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030085822 A  
(43)Date of publication of application:  
07.11.2003

(21)Application number: 1020020024105

(71)Applicant:

JU SUNG ENGINEERING  
CO., LTD.

(22)Date of filing: 02.05.2002

(72)Inventor:

KIM, GEUN HO  
PARK, MUN SU

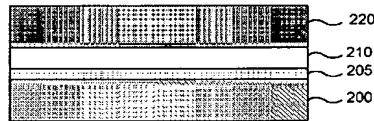
(51)Int. Cl

H01L 27/04

## (54) METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR DEVICE

## (57) Abstract:

PURPOSE: A method for manufacturing a capacitor of a semiconductor device is provided to be capable of reducing leakage current by forming an alumina dielectric film between a lower electrode and a tantalum oxide layer.



CONSTITUTION: A lower electrode(200) is formed on a semiconductor substrate. An alumina dielectric film(205) is formed on the lower electrode(200) so as to reduce the leakage current by using ALD (Atomic Layer Deposition). A tantalum oxide layer (210) is then formed on the alumina dielectric film(205). Then, an upper electrode(220) is formed on the tantalum oxide layer(210).

COPYRIGHT KIPO 2004

## Legal Status

Date of final disposal of an application (20050204)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl. H01L 27/04	(11) 공개번호 (43) 공개일자	특2003-0085822 2003년11월07일
(21) 출원번호 10-2002-0024105		
(22) 출원일자 2002년05월02일		
(71) 출원인 주성엔지니어링(주) 대한민국 464-892 경기 광주군 오포면 능평리 49		
(72) 발명자 김근호 대한민국 449-850 경기도 용인시 모현면 장산리 464-2 풍산아파트 102동 1004호 박문수 대한민국 467-040 경기도 이천시 송정동 74-5 국민주택 가-108		
(74) 대리인 허진석 (77) 심사청구 있음		
(54) 출원명 반도체 소자용 커패시터 제조방법		

**요약**

누설전류를 저감시킬 뿐 아니라 비교적 고온의 후속 열처리 없이도 우수한 특성을 나타내는 반도체 소자용 커패시터를 제조하는 방법에 관해 개시한다. 본 발명의 반도체 소자용 커패시터 제조방법은: 반도체 기판의 소정 부위에 하부 전극을 형성하는 단계와; 상기 하부 전극 상에 원자층 증착공정에 의해 형성된 누설전류 저감용 알루미나 유전막을 형성하는 단계와; 상기 유전막 상에 탄탈륨 산화막 또는 하프늄 산화막을 형성하는 단계와; 상기 탄탈륨 산화막 또는 하프늄 산화막 상에 상부 전극을 형성하는 단계를 구비하는 것을 특징으로 한다.

**대표도****도4****색인어**

탄탈륨, 산화막, 반도체, 커패시터, 누설전류, 알루미나, 원자층, 증착

**명세서****도면의 간단한 설명**

도 1은 종래기술에 따른 반도체 소자용 커패시터 제조방법을 설명하기 위한 단면도;

도 2a 내지 도 2d는 종래기술의 예에 따른 탄탈륨 산화막 커패시터에 대한 특성을 측정한 그래프들;

도 3은 바이어스에 따른 누설전류의 비대칭성을 설명하기 위한 도면;

도 4는 본 발명의 바람직한 실시예에 따른 반도체 소자용 커패시터 제조방법을 설명하기 위한 단면도; 및

도 5a 내지 도 5d는 본 발명의 바람직한 실시예에 따른 반도체 소자용 커패시터에 대한 특성을 측정한 그래프들이다.

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자용 커패시터 제조방법에 관한 것으로, 특히 누설전류를 저감시킬 뿐 아니라 비교적 고온의 후속 열처리 없이도 우수한 특성을 나타내는 반도체 소자용 커패시터를 제조하는 방법에 관한 것이다.

반도체 소자의 제조에 있어서, 한정된 면적에 큰 정전용량을 가지는 커패시터를 실현시키기 위해 유전율이 큰 물질을 사용하는 연구가 계속되어 왔으며, 이러한 노력의 결과로 유전율이 기존의 실리콘 산화막, 실리콘 질화막/실리콘 산화막의 복합막보다 큰 탄탈륨 산화막 또는 하프늄 산화막이 커패시터의 재질로 사용되기에 이르렀다.

그러나, 이러한 탄탈륨 산화막은 누설전류가 크다는 단점을 가지므로 이를 감소시키려는 노력이 계속되고 있다.

이러한 노력 중에서 대표적인 종래기술의 일례를 도 1의 단면도에 나타내었다. 도 1은 종래기술에 따른 반도체 소자용 커패시터 제조방법을 설명하기 위한 단면도이다. 도 1을 참조하면, 하부전극, 커패시터 및 상부전극이 순차적으로 형성된다. 하부전극으로는 제1 폴리실리콘층(100)이, 커패시터로는 탄탈륨 산화막(110)이, 상부전극으로는 순차 형성된 TiN막(120a) 및 제2 폴리실리콘층(120b)이 각각 사용된다. 이와 같은 구조를 만들기 위해서는, 우선 반도체 기판(미도시)의 소정 부위에 제1 폴리실리콘층(100)으로 이루어진 하부전극을 형성시킨 다음, 그 위에 탄탈륨 산화막(110)을 LPCVD 또는 PECVD에 의해 증착한다. 이어서, 산소분위기에서 탄탈륨 산화막(110)을 고온 열처리하고, 그 위에 TiN막(120a) 및 제2 폴리실리콘층(120b)을 순차적으로 형성하여 상부 전극을 만든다. 여기서는 상부 전극을 TiN막 및 폴리실리콘층의 복합막으로 형성하는 것을 예로 들었으나, TiN막만을 단독으로 형성할 수도 있다. 이 방법에서, 상부 전극에 TiN막(120a)을 포함시키는 것은 TiN막의 증착공정 중 티타늄(Ti) 원소를 탄탈륨 산화막(110) 내의 탄탈륨(Ta)과 치환시켜서 탄탈륨 산화막(110)이 불안정한 화학양론비(stoichiometry)를 갖는 것을 방지하게 함으로써 누설전류를 줄일 수 있기 때문이다. 즉, TiN막(120a)이 없고 탄탈륨 산화막(110)과 제2 폴리실리콘층(120b)이 직접 접촉한다면, 대략 600°C 정도의 비교적 고온에서 진행되는 제2 폴리실리콘층(120b) 형성공정 시에 탄탈륨 산화막(110)과 제2 폴리실리콘층(120b)이 서로 반응하여 탄탈륨 실리사이드를 형성하고 이에 의해 탄탈륨이 소모되므로, 탄탈륨 산화막(110)이 불안정한 화학양론비를 갖게 된다. 따라서, 이를 보호하기 위한 보호막으로서 TiN막(120a)이 사용된다.

그러나, 이와 같이 TiN막을 사용할 경우, TiN막이 후속 열공정에 취약하므로 후공정의 열처리 온도에 제약이 따른다는 문제점을 갖는다.

따라서, 이를 극복하기 위해, 2000년 7월 15일자로 공개된 한국 특허출원 제2000-41370호에서는, 상, 하부 전극을 모두 폴리실리콘층으로 형성하고, 하부 전극 상에 탄탈륨 산화막( $Ta_2O_5$ )과 알루미늄 산화막( $Al_2O_3$ )을 차례로 형성시킨 커패시터 구조에 대해 개시하였다. 여기서 알루미늄 산화막은 완성된 커패시터가 높은 절연파괴전압을 가지도록 해주는 역할을 하며, TiN막과는 달리 후속 열공정에 대한 제약도 가지 않는다는 장점을 가진다. 그러나, 이 기술에서 도입된 알루미늄 산화막은 단지 기존의 TiN막을 대체하기 위한 것으로서, 이 기술을 따르더라도 탄탈륨 산화막을 커패시터의 재질로 사용하는 종래 기술의 큰 문제점인 누설전류의 저감은 해결하지 못한다. 왜냐하면, 커패시터의 누설전류특성은 후술하는 바와 같이 하부 전극과 탄탈륨 산화막 사이의 계면특성이 열화되면서 발생하는 것으로 관찰되기 때문이다.

도 2a 내지 도 2d는 종래기술의 예에 따른 탄탈륨 산화막 커패시터에 대한 특성을 측정한 그래프들이다. 상기 그래프들을 얻기 위한 테스트 웨이퍼는 다음과 같은 공정을 통해 만들어졌다.

#### [종래예 1]

하부 전극으로 스팍터링에 의해 형성한 TiN막을 사용하였으며, 이 TiN막을 380°C, 암모니아 분위기에서 60초간 처리하였다. 그 다음,  $Ta(O\text{C}_2\text{H}_5)_5$ (펜타에톡시탄탈: PET)을 소스 가스로 사용한 화학증착법에 의해 415°C에서 500 Å의 탄탈륨 산화막을 상기 TiN막 상에 형성하였다. 이어서, 탄탈륨 산화막을 380°C의 오존 분위기에서 180초 간 후처리하고, 그 위에 상부 전극으로서 1000 Å 두께의 루세늄(Ru)막을 형성하였다.

#### [종래예 2]

하부 전극으로 CVD에 의해 형성한 TiN막을 사용하였으며, 이 TiN막을 380°C, 암모니아 분위기에서 60초간 처리하였다. 그 다음,  $Ta(O\text{C}_2\text{H}_5)_5$ (펜타에톡시탄탈: PET)을 소스 가스로 사용한 화학증착법에 의해 415°C에서 500 Å의 탄탈륨 산화막을 상기 TiN막 상에 형성하였다. 이어서, 탄탈륨 산화막을 380°C의 오존 분위기에서 180초 간 후처리하고, 그 위에 상부 전극으로서 1000 Å 두께의 루세늄(Ru)막을 형성하였다.

#### [종래예 3]

하부 전극으로 ALD(Atomic Layer Deposition)에 의해 형성한 TiN막을 사용하였으며, 이 TiN막을 380°C, 암모니아 분위기에서 60초간 처리하였다. 그 다음,  $Ta(O\text{C}_2\text{H}_5)_5$ (펜타에톡시탄탈: PET)을 소스 가스로 사용한 화학증착법에 의해 415°C에서 500 Å의 탄탈륨 산화막을 상기 TiN막 상에 형성하였다. 이어서, 탄탈륨 산화막을 380°C의 오존 분위기에서 180초 간 후처리하고, 그 위에 상부 전극으로서 1000 Å 두께의 루세늄(Ru)막을 형성하였다.

도 2a는 종래예 1 내지 3의 시료에 대해 측정한 커패시터 용량을 단위면적 당 나타낸 것이다. 도 2c는 종래예 1 내지 3의 시료에 대해 측정한 누설전류를 단위면적 당 나타낸 것이다.

한편, 도 2b는 종래예 1 내지 3의 시료에 대해 400°C에서 30분간 질소분위기에서 가열로에 의해 열처리(furnace anneal)를 행한 후 측정한 커패시터 용량을 단위면적 당 나타낸 것이며, 도 2d는 종래예 1 내지 3의 시료에 대해 400°C에서 30분간 질소분위기에서 가열로에 의해 열처리를 행한 후 측정한 누설전류를 단위면적 당 나타낸 것이다.

도 2a 내지 도 2d를 참조하면, 커패시터의 하부 전극과 상부 전극 사이에 가해지는 전압의 바이어스가 바뀔 경우, 커패시터 용량은 변하지 않으나, 누설 전류는 바이어스에 따라 크게 변하는 것을 알 수 있다. 바이어스에 따라 누설 전류의 양상이 달라지는 것은 도 2b 및 도 2d에서 양전압이 걸린 때의 곡선모양과 음전압이 걸린 때의 곡선모양이 비대칭인 것을 통해 확인할 수 있다. 도 2b와 도 2d를 서로 비교하면, 이러한 비대칭성은 가열로에서의 열처리에 의해 어느 정도 완화됨을 알 수 있으나, 이를 고려한다고 해도 누설전류의 비대칭성이 크게 나타나는 것을 알 수 있다.

이와 같은 현상은 다음과 같이 설명될 수 있다.

도 3은 바이어스에 따른 누설전류의 비대칭성을 설명하기 위한 도면이다. 도 3을 참조하면, 상부 전극에 양전압이, 하부 전극에 음전압이 각각 걸리는 경우가 그 반대의 경우보다 나쁜 누설전류 특성을 나타내었다. 그 이유는 주로 하부 전극과 탄탈륨 산화막 사이의 계면특성이 열화되면서 전하를 트랩핑(trapping)할 수 있는 계면상태(interface state: S)가 많이 생성되고 이를 통해 전자( $e^-$ )가 4.5eV의 에너지 장벽을 가지는 탄탈륨 산화막을 통해 하부 전극에서 상부 전극으로 용이하게 이동할 수 있기 때문이다. 이러한 문제는 금속/절연체/반도체(MIS, Metal/Insulator/Semiconductor) 구조에서보다 금속/절연체/금속(MIM, Metal/Insulator/Metal) 구조에서 더 심각하게 대두되는데, 그 이유는 MIM 구조에서는 탄탈륨 산화막 자체를 높은 온도에서 열처리할 수 없어서 대부분 비정질 형태로 존재하게 되고, 이에 따라 계면상태가 더욱 심각해지기 때문이다.

그러나, 이를 극복하기 위해서 한국특허 출원 제2000-41370호에 개시된 기술을 사용한다면, 알루미늄 산화막이 상부 전극과 탄탈륨 산화막 사이에 형성되기 때문에 상기한 바와 같이 바이어스에 따른 비대칭적으로 나타나는 누설전류 특성을 개선하기 어렵다.

이와 같은 문제점은 캐퍼시터용 유전막으로 하프늄 산화막을 사용하여도 마찬가지로 발생한다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 기술적 과제는, 상부 전극에 양전암이, 하부 전극에 음전암이 각각 걸리는 경우, 하부 전극과 탄탈륨 산화막 또는 하프늄 산화막 사이의 계면상태에 의해 나타나는 나쁜 누설전류 특성을 개선할 수 있는 반도체 소자용 커패시터를 제조하는 방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 기술적 과제를 해결하기 위한 본 발명의 반도체 소자용 커패시터 제조방법은: (a) 반도체 기판의 소정 부위에 하부 전극을 형성하는 단계와; (b) 상기 하부 전극 상에 원자층 증착공정에 의해 형성된 누설전류 저감용 알루미나( $Al_2O_3$ ) 유전막을 형성하는 단계와; (c) 상기 유전막 상에 탄탈륨 산화막 또는 하프늄 산화막을 형성하는 단계와; (d) 상기 탄탈륨 산화막 또는 하프늄 산화막 상에 상부 전극을 형성하는 단계를 구비하는 것을 특징으로 한다.

상기 원자층 증착공정은 250~380°C 범위 내의 비교적 저온에서 진행되며, 상기 증착된 알루미나 유전막의 두께가 10~80Å 범위 내에 있는 것이 바람직하다.

그리고, 상기 탄탈륨 산화막은,  $Ta(OC_2H_5)_5$ 을 소스 가스로 사용하며 350~450°C 내의 온도에서 진행되는 화학기상 증착법에 의해 50~600Å 두께로 형성되는 것이 바람직하다.

본 발명에 있어서, 상기 탄탈륨 산화막의 형성단계 이후에, 상기 탄탈륨 산화막에 대한 열처리 단계를 거치지 않을 수도 있고, 상기 상부 전극의 형성단계 이후에, 가열로 내에서 350~450°C 내의 온도 및 질소 분위기에서 30분간 진행되는 열처리 과정을 더 거치게 할 수도 있다.

그리고, 상기 하부 전극 및 상부 전극이 모두 금속으로 이루어지게 할 수 있으며, 이 경우, 상기 하부 전극을 TiN으로, 상기 상부 전극을 TiN 또는 Ru로 만드는 것이 바람직하다.

또한, 상기 (a) 단계 내지 (d) 단계의 공정은 다중 챔버를 가진 복합 공정장비(cluster tool)에서 진행되는 것이 바람직하며, 상기 다중 챔버들 사이에서의 상기 반도체 기판의 이동은 진공 또는 저산소 분위기에서 이루어지는 것이 바람직하다.

이하, 첨부도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명한다.

도면 중에서 동일한 참조부호는 동일 구성요소를 나타내며, 이에 대한 중복적인 설명은 생략한다.

도 4는 본 발명의 바람직한 실시예에 따른 반도체 소자용 커패시터 제조방법을 설명하기 위한 단면도이다.

#### [실시예 1]

우선, 반도체 기판의 소정 부위에 CVD에 의해 형성된 TiN막(200)을 이용하여 하부 전극을 만들었다. 종래예와는 달리 이 TiN막(200)에 대해서는 암모니아 분위기에서의 열처리가 행해지지 않았다. 이어서, TiN막(200) 상에, 350°C에서 알루미늄 소스인 TMA(TriMethyl Aluminum:  $Al(CH_3)_3$ )와 산소 소스인  $H_2O$ 를 교대로 공급하는 원자층 증착공정을 적용하여 누설전류 저감용 유전막인  $Al_2O_3$  막(205)을 60Å의 두께로 형성하였다. 이어서,  $Ta(OC_2H_5)_5$ (펜타에톡시탄탈: PET)을 소스 가스로 사용한 화학증착법에 의해 415°C에서 290Å의 탄탈륨 산화막(210)을  $Al_2O_3$  막(205) 상에 형성하였다. 그 다음, 탄탈륨 산화막(210)을 380°C의 오존 분위기에서 180초 간 후처리하고, 그 위에 상부 전극으로서 1000Å 두께의 Ru막(220)을 형성하였다.

이상의 모든 단위공정들은 다중 챔버(multi-chamber)를 가진 하나의 복합 공정장비(cluster tool)에서 진행되었는데, 이 다중 챔버들 사이에서의 반도체 기판의 이동은 진공 또는 저산소 분위기에서 이루어져서, 기판 표면의 오염 또는 자연 산화막의 발생을 방지할 수 있었다.

#### [실시예 2]

모든 조건을 실시예 1과 동일하게 하되,  $Al_2O_3$  막(205) 및 탄탈륨 산화막(210)의 형성 시에 공정시간을 실시예 1과 달리하여 45Å의  $Al_2O_3$  막(205) 및 340Å의 탄탈륨 산화막(210)을 각각 형성하였다.

#### [실시예 3]

모든 조건을 실시예 1과 동일하게 하되,  $Al_2O_3$  막(205) 및 탄탈륨 산화막(210)의 형성 시에 공정시간을 실시예 1과 달리하여 30Å의  $Al_2O_3$  막(205) 및 390Å의 탄탈륨 산화막(210)을 각각 형성하였다.

도 5a는 실시예 1 내지 3의 시료에 대해 측정한 커패시터 용량을 단위면적 당 나타낸 것이다. 도 5c는 실시예 1 내지 3의 시료에 대해 측정한 누설전류를 단위면적 당 나타낸 것이다.

한편, 도 5b는 실시예 1 내지 3의 시료에 대해 400°C에서 30분간 질소분위기에서 가열로에 의해 열처리(furnace anneal)를 행한 후 측정한 커패시터 용량을 단위면적 당 나타낸 것이며, 도 5d는 실시예 1 내지 3의 시료에 대해 400°C에서 30분간 질소분위기에서 가열로에 의해 열처리를 행한 후 측정한 누설전류를 단위면적 당 나타낸 것이다.

도 5a 내지 도 5d를 참조하면, 본 발명의 실시예에 따른 커패시터에서는, 커패시터의 하부 전극과 상부 전극 사이에 가해지는 전압의 바이어스가 바뀌더라도 커패시터 용량이 변하지 않을 뿐 아니라, 누설 전류가 바이어스에 따라 크게 변하는 비대칭성도 많이 줄어들었음을 알 수 있다. 도 5d를 참조하면, 누설전류의 비대칭성은 가열로에 의한 열처리에 의해 거의 대칭적으로 변하는 것이 확인된다. 그러나, 도 5b를 보면, 누설전류가 도 5d의 경우보다 비대칭적이나, 도 2b 및 도 2d에서의 누설전류보다 훨씬 낮은 값을 나타낸다. 구체적인 예를 들자면, 상부 전극에 +5V의 전압이 걸리면, 커패시터로서 탄탈륨 산화막만을 사용하고 열처리를 행하지 않은 도 2b의 경우 대략  $5 \times 10^{-4} A/cm^2$ 의 누설전류가 발생하고, 커패시터로서 탄탈륨 산화막만을 사용하고 열처리를 행한 도 2d의 경우 대략  $5 \times 10^{-8}$

A/cm<sup>2</sup>의 누설전류가 발생한다. 이에 반해, 본 발명

의 실시예 중 Al<sub>2</sub>O<sub>3</sub> 막의 두께가 60 Å이며 열처리를 행하지 않은 본 발명의 제1 실시예에 따르면, 누설전류가 대략 1×10<sup>-9</sup> A/cm<sup>2</sup>임을 도 5b를 통하여 알 수 있다. 본 발명의 실시예의 방법을 적용하고 열처리를 행한 경우에는 Al<sub>2</sub>O<sub>3</sub> 막의 두께에 거의 무관하게 대략 1×10<sup>-9</sup> A/cm<sup>2</sup>의 누설전류가 발생하는 것을 확인하였다. 따라서, 하부 전극과 탄탈륨 산화막 사이에 형성시킨 Al<sub>2</sub>O<sub>3</sub> 막이 누설전류를 저감시키는 데 큰 기여를 한다는 것을 알 수 있다.

상기와 같은 연유로, 커패시터 유전막으로서 Al<sub>2</sub>O<sub>3</sub> 막만을 사용하는 것을 고려해 볼 수도 있다. 그러나, Al<sub>2</sub>O<sub>3</sub> 막만으로 충분한 두께의 막을 형성하기 위해서는 증착시간이 지나치게 길어져서 생산성이 떨어지는 문제점이 발생하고, 소자의 신뢰성 측면에서도 Al<sub>2</sub>O<sub>3</sub> 막이 탄탈륨 산화막보다는 부족하다는 염려가 있다.

또한, 이미 종래기술에서 개시한 바와 같이 탄탈륨 산화막과 상부 전극 사이에 Al<sub>2</sub>O<sub>3</sub> 막을 형성시키는 것도 고려해 볼 수는 있으나, 커패시터의 전류누설 특성이 주로 하부 전극과 탄탈륨 산화막의 계면에서의 문제점 때문에 나타나기 때문에 효율적이지 못하다.

또한, 탄탈륨 산화막의 상, 하부에 모두 Al<sub>2</sub>O<sub>3</sub> 막을 형성시키는 것도 고려해 볼 수는 있으나, 공정 수가 추가되어야 하므로 생산성 측면에서 바람직하지 않다.

상기한 바와 같이 하부 전극과 탄탈륨 산화막 사이에 Al<sub>2</sub>O<sub>3</sub> 막을 형성시키면, 대략 8eV에 이르는 Al<sub>2</sub>O<sub>3</sub> 막의 밴드갭(band gap) 에너지가 탄탈륨 산화막의 밴드갭 에너지인 4.5eV보다 크기 때문에 양전압이 상부 전극에 걸릴 경우라도 전자가 상부 전극으로 쉽게 끌려가지 않는다. 따라서 누설전류 수준을 크게 낮출 수 있다.

상기한 실시예에서 캐퍼시터용 유전막으로 탄탈륨 산화막만을 언급하였으나, 반드시 이에 제한되는 것은 아니고, 하프늄 산화막(HfO<sub>2</sub> 막)도 사용될 수 있음을 물론이다.

### 발명의 효과

상기한 바와 같은 본 발명에 따르면, 하부 전극과 탄탈륨 산화막 또는 하프늄 산화막 사이의 계면상태에 의해 나타나는 나쁜 누설전류 특성을 개선할 수 있는 반도체 소자용 커패시터를 제공할 수 있기 때문에 신뢰성이 우수한 반도체 소자를 만들 수 있다.

### (57) 청구의 범위

#### 청구항 1.

반도체 소자용 커패시터의 제조방법에 있어서,

(a) 반도체 기판의 소정 부위에 하부 전극을 형성하는 단계와;

(b) 상기 하부 전극 상에 원자층 증착공정에 의해 누설전류 저감용 알루미나 유전막을 형성하는 단계와;

(c) 상기 알루미나 유전막 상에 탄탈륨 산화막 또는 하프늄 산화막을 형성하는 단계와;

(d) 상기 탄탈륨 산화막 또는 하프늄 산화막 상에 상부 전극을 형성하는 단계;

를 포함하는 것을 특징으로 하는 반도체 소자용 커패시터 제조방법.

#### 청구항 2.

제1항에 있어서, 상기 원자층 증착공정이 250~380°C 범위 내의 비교적 저온에서 진행되며, 상기 증착된 누설전류 저감용 알루미나 유전막의 두께가 10~80 Å 범위 내에 있는 것을 특징으로 하는 반도체 소자용 커패시터 제조방법.

#### 청구항 3.

제1항에 있어서, 상기 누설전류 저감용 알루미나 유전막 상에 탄탈륨 산화막이 형성될 경우, 상기 탄탈륨 산화막이, Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>를 소스 가스로 사용하여 350~450°C 내의 온도에서 진행되는 화학기상 증착법에 의해 50~600 Å 두께로 형성되는 것을 특징으로 하는 반도체 소자용 커패시터 제조방법.

#### 청구항 4.

제3항에 있어서, 상기 탄탈륨 산화막의 형성단계 이후에, 상기 탄탈륨 산화막에 대한 열처리 단계를 거치지 않는 것을 특징으로 하는 반도체 소자용 커패시터 제조방법.

#### 청구항 5.

제3항에 있어서, 상기 상부 전극의 형성단계 이후에, 가열로 내에서 350~450°C 내의 온도 및 질소 분위기에서 30분간 진행되는 열처리 과정을 더 거치는 것을 특징으로 하는 반도체 소자용 커패시터 제조방법.

#### 청구항 6.

제1항에 있어서, 상기 하부 전극 및 상부 전극이 모두 금속으로 이루어진 것을 특징으로 하는 반도체 소자용 커패시터 제조방법.

#### 청구항 7.

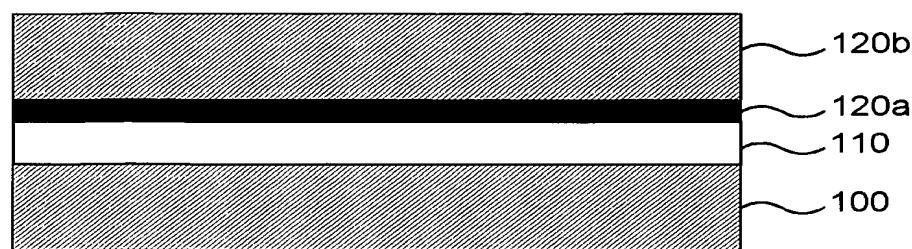
제6항에 있어서, 상기 하부 전극이 TiN으로 이루어지며, 상기 상부 전극이 TiN 또는 Ru로 이루어진 것을 특징으로 하는 반도체 소자용 커패시터 제조방법.

#### 청구항 8.

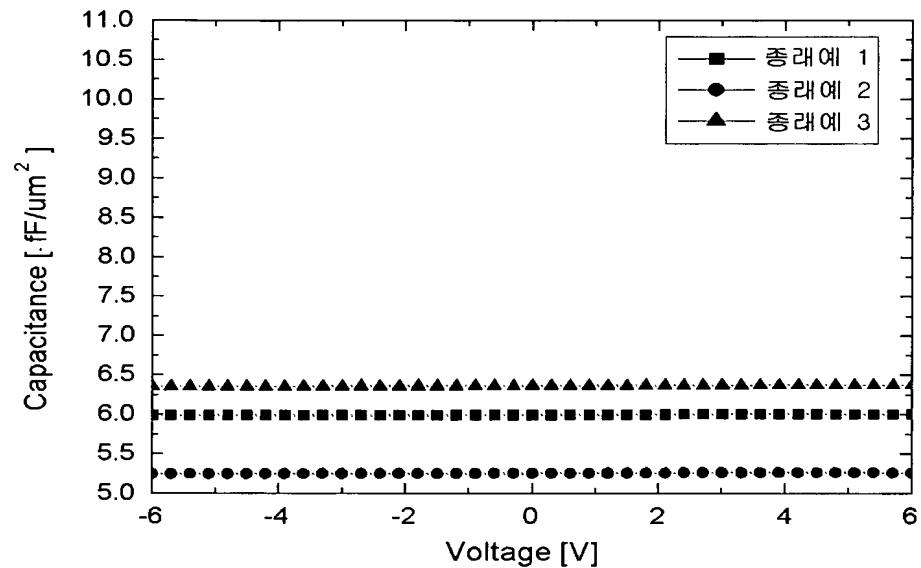
제1항에 있어서, 상기 (a) 단계 내지 (d) 단계의 공정이 다중 챔버를 가진 복합 공정장비에서 진행되며, 상기 다중 챔버들 사이에서의 상기 반도체 기판의 이동은 진공 또는 저산소 분위기에서 이루어지는 것을 특징으로 하는 반도체 소자용 커패시터 제조방법.

도면

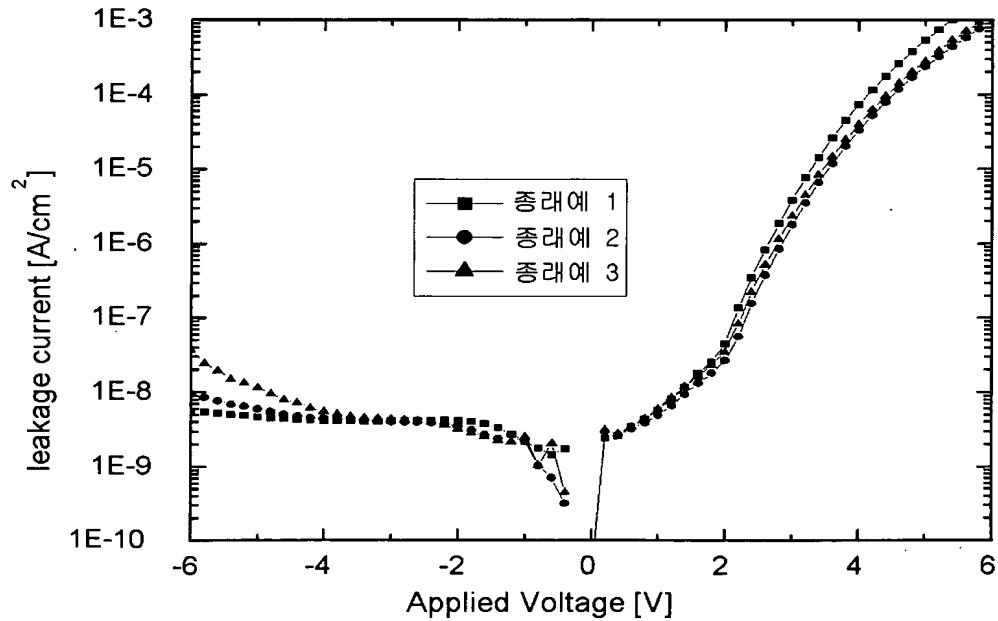
도면 1



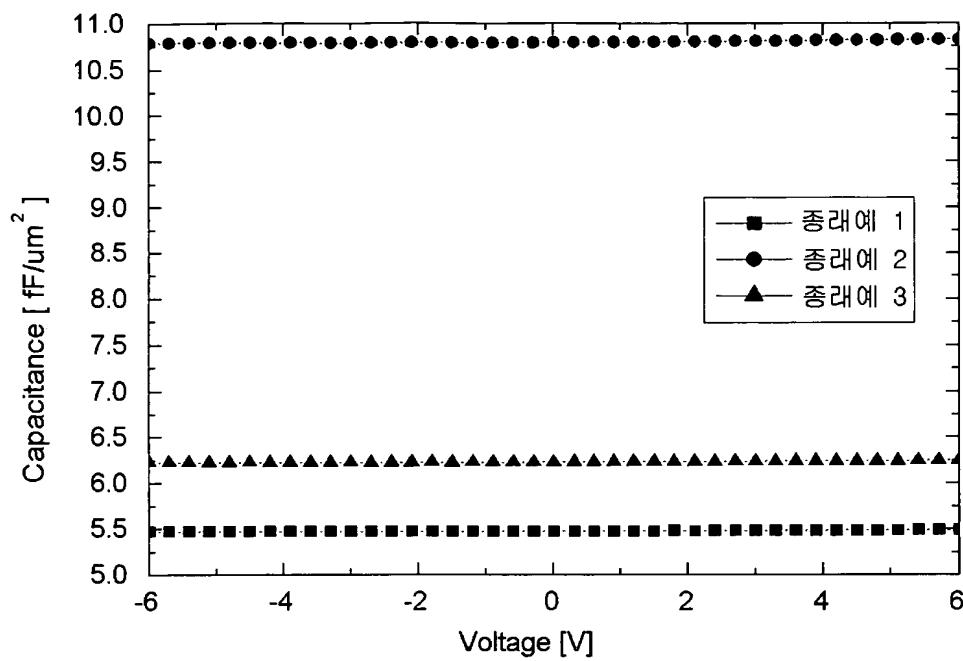
도면 2a



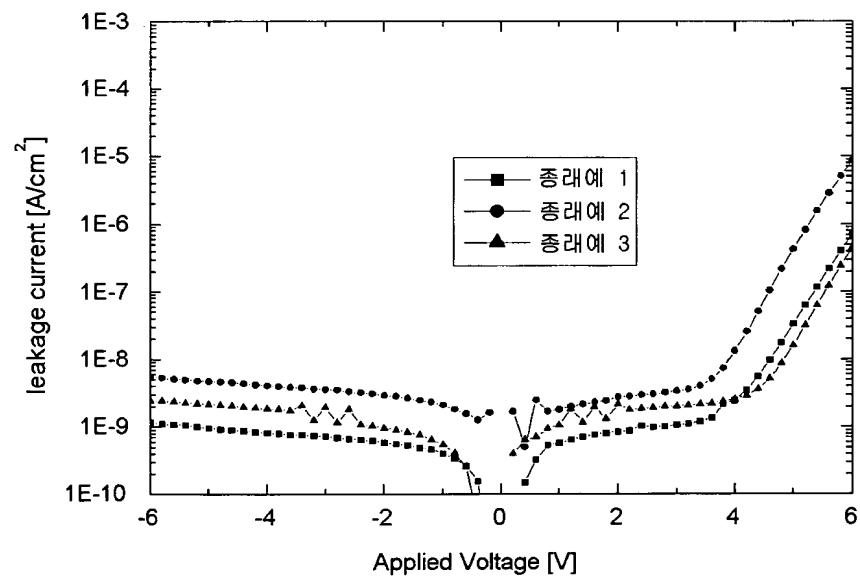
도면 2b



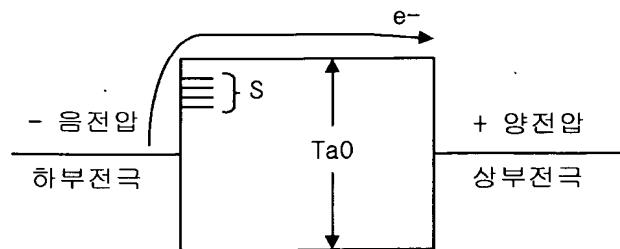
도면 2c



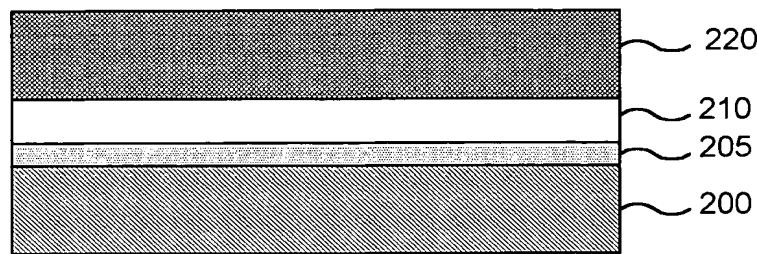
도면 2d



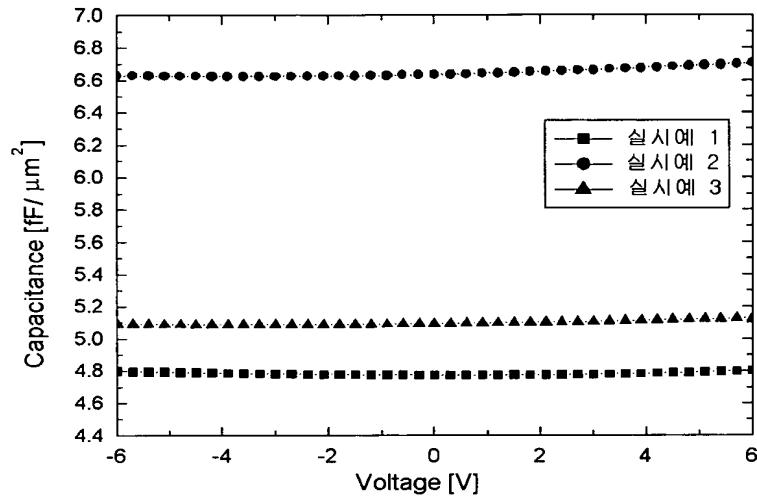
도면 3



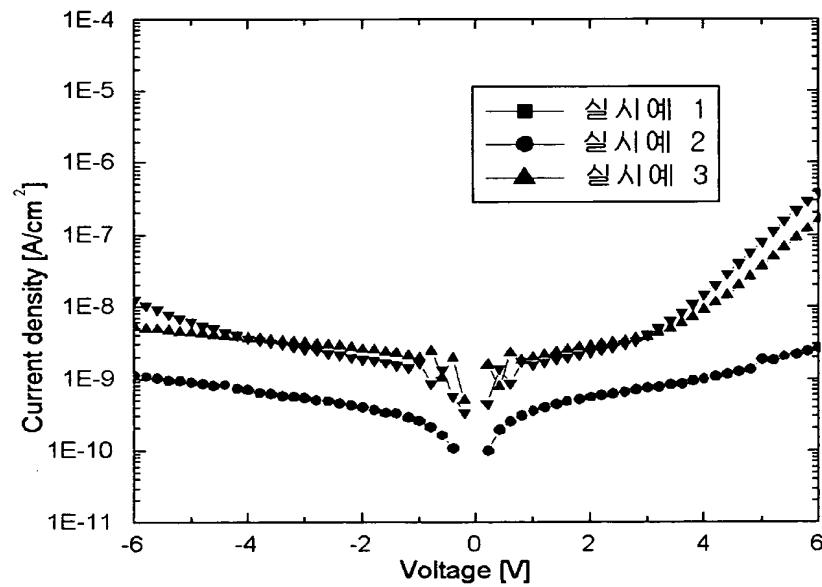
도면 4.



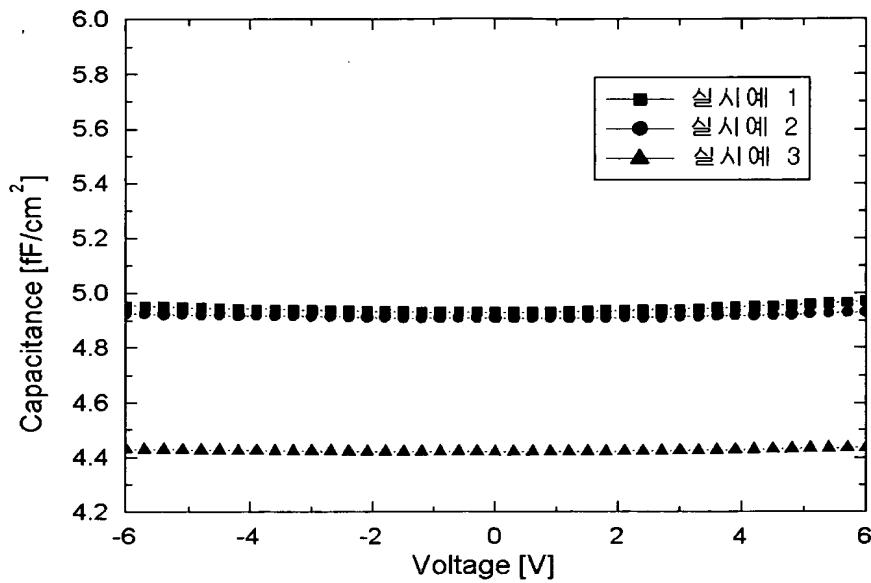
도면 5a



도면 5b



도면 5c



도면 5d

